

SUPER-JUNCTION SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Patent Number: JP2001111041

Publication date: 2001-04-20

Inventor(s): MIYASAKA YASUSHI;; FUJIHIRA TATSUHIKO;; ONISHI YASUHIKO;; UENO KATSUNORI;; IWAMOTO SUSUMU

Applicant(s): FUJI ELECTRIC CO LTD

Requested
Patent:☐ JP2001111041

Application

Number: JP19990237286 19990824

Priority Number
(s):

IPC Classification: H01L29/78; H01L29/861

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To ease realization of mass production by clarifying the effect of parameters of a super-junction semiconductor device having a drift layer comprising parallel pn layers which depletes in OFF state while conducting current in ON state.

SOLUTION: The impurity amount in an (n) drift region 12a is in the range of 100-150% or of 110-150% of the impurity amount in a (p) partitioning region. Or, the impurity concentration in either of the (n) drift region 12a or the (p) partitioning region 12b is in the range of 92-108% of the impurity concentration in the other region. Besides, width of the one is in the range of 94-106% of the width of the other.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-111041

(P2001-111041A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl.⁷

識別記号

F I

テ-マコ-ト* (参考)

H 0 1 L 29/78

H 0 1 L 29/78

6 5 2 H

29/861

6 5 2 C

29/91

D

審査請求 未請求 請求項の数10 OL (全 9 頁)

(21) 出願番号 特願平11-237286

(22) 出願日 平成11年8月24日 (1999.8.24)

(31) 優先権主張番号 特願平10-321567

(32) 優先日 平成10年11月12日 (1998.11.12)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-221861

(32) 優先日 平成11年8月5日 (1999.8.5)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 宮坂 靖

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式 会社内

(72) 発明者 藤平 龍彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式 会社内

(74) 代理人 100088339

弁理士 篠部 正治

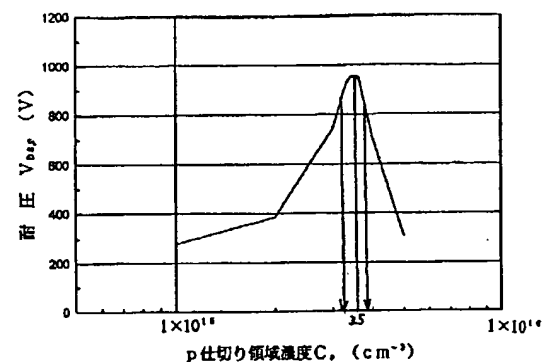
最終頁に続く

(54) 【発明の名称】 超接合半導体素子およびその製造方法

(57) 【要約】

【課題】 オン状態では電流を流すとともに、オフ状態では空乏化する並列 p n 層からなるドリフト層を備えた超接合半導体素子において、パラメータの影響を明らかにし、量産化を容易にする。

【解決手段】 n ドリフト領域 12 a の不純物量が p 仕切り領域 12 b の不純物量の 100 ~ 150 % の範囲内または 110 ~ 150 % の範囲内とする。あるいは n ドリフト領域 12 a および p 仕切り領域 12 b の一方の不純物濃度を他方の不純物濃度の 92 ~ 108 % の範囲とする。また、一方の幅を他方の幅の 94 ~ 106 % の範囲とする。



【特許請求の範囲】

【請求項1】第一と第二の主面と、主面に設けられた二つの主電極と、その主電極間に、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列p-n層を備える超接合半導体素子において、第一導電型ドリフト領域の不純物量が第二導電型仕切り領域の不純物量の100～150%の範囲内にあることを特徴とする超接合半導体素子。

【請求項2】第一と第二の主面と、主面に設けられた二つの主電極と、その主電極間に、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列p-n層を備える超接合半導体素子において、第一導電型ドリフト領域の不純物量が第二導電型仕切り領域の不純物量の110～150%の範囲内にあることを特徴とする超接合半導体素子。

【請求項3】第一と第二の主面と、主面に設けられた二つの主電極と、その主電極間に、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列p-n層を備える超接合半導体素子において、第一導電型ドリフト領域と第二導電型仕切り領域との内の一方向域の不純物量が、他方の領域の不純物量の92～108%の範囲内にあることを特徴とする超接合半導体素子。

【請求項4】第一導電型ドリフト領域と第二導電型仕切り領域とがそれぞれストライプ状であることを特徴とする請求項1乃至請求項3のいずれか1項に記載の超接合半導体素子。

【請求項5】第一と第二の主面と、主面に設けられた二つの主電極と、その主電極間に、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列p-n層を備える超接合半導体素子において、第一導電型ドリフト領域と第二導電型仕切り領域とがそれぞれほぼ同じ幅であり、第一導電型ドリフト領域と第二導電型仕切り領域との内の一方向域の平均不純物濃度が、他方の領域の平均不純物濃度の92～108%の範囲内にあることを特徴とする超接合半導体素子。

【請求項6】第一と第二の主面と、主面に設けられた二つの主電極と、その主電極間に、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列p-n層を備える超接合半導体素子において、第一導電型ドリフト領域と第二導電型仕切り領域とがそれぞれほぼ同じ幅であり、第一導電型ドリフト領域と第二導電型仕切り領域との内の一方向域の不純物濃度が、他方の領域の不純物濃度の92～108%の範囲内にあることを特徴とする超接合半導体素子。

【請求項7】第一と第二の主面と、主面に設けられた二

つの主電極と、その主電極間に、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列p-n層を備える超接合半導体素子において、第一導電型ドリフト領域と第二導電型仕切り領域とがそれぞれほぼ同じ濃度であり、第一導電型ドリフト領域と第二導電型仕切り領域との内の一方向域の幅が、他方の領域の幅の94～106%の範囲内にあることを特徴とする超接合半導体素子。

【請求項8】二つの主電極が、それぞれ第一、第二の主面に設けられていることを特徴とする請求項1ないし請求項7のいずれか1項に記載の超接合半導体素子。

【請求項9】第一と第二の主面と、主面に設けられた二つの主電極と、その主電極間に、オン状態では電流を流すとともにオフ状態では空乏化する、第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列p-n層とを備える超接合半導体素子の製造方法において、第一導電型ドリフト領域と第二導電型仕切り領域との内の一方向域の不純物量の92～108%の範囲内にある不純物量の他方の領域をエピタキシャル成長により形成することを特徴とする超接合半導体素子の製造方法。

【請求項10】第一と第二の主面と、主面に設けられた二つの主電極と、その主電極間に、オン状態では電流を流すとともにオフ状態では空乏化する、第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列p-n層とを備える超接合半導体素子の製造方法において、第一導電型ドリフト領域と第二導電型仕切り領域との内の一方向域を形成するための不純物量の92～108%の範囲内にある不純物量を導入した後、熱拡散により他方の領域を形成することを特徴とする超接合半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、オン状態では電流を流すとともに、オフ状態では空乏化する並列p-n層からなる特別な構造を備えるMOSFET（絶縁ゲート型電界効果トランジスタ）、IGBT（絶縁ゲートバイポーラトランジスタ）、バイポーラトランジスタ、ダイオード等の半導体素子に関する。

【0002】

【従来の技術】相対向する二つの主面に設けられた電極間に電流が流される縦型半導体素子において、高耐圧化を図るには、両電極間の高抵抗層の厚さを厚くしなければならず、一方そのように厚い高抵抗層をもつ素子では、必然的に両電極間のオン抵抗が大きくなり、損失が増すことになることが避けられなかった。すなわちオン抵抗（電流容量）と耐圧間にはトレードオフ関係がある。このトレードオフ関係は、IGBT、バイポーラトランジスタ、ダイオード等の半導体素子においても同様

に成立することが知られている。またこの問題は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアスによる空乏層の延びる方向とが異なる横型半導体素子についても共通である。

【0003】この問題に対する解決法として、ドリフト層を、不純物濃度を高めたn型の領域とp型の領域とを交互に積層した並列pn層で構成し、オフ状態のときは、空乏化して耐圧を負担するようにした構造の半導体装置が、EP0053854、USP5216275、USP5438215および本発明の発明者らによる特開平9-266311号公報に開示されている。

【0004】なお本発明の発明者らは、オン状態では電流を流すとともに、オフ状態では空乏化する並列pn層からなるドリフト層を備える半導体素子を超接合半導体素子と称することとした。

【0005】

【発明が解決しようとする課題】しかし、前記の発明はいずれも、試作的な段階で、量産化のための検討がなされているとは言えない。例えば、並列pn層は、同じ不純物濃度、同じ幅とされている。しかし、実際の素子の製造過程では必ずばらつきを生じる。

【0006】また、量産化および製品化において重要であるL負荷アバランシェ破壊電流に関する具体的な数値がこれまで規定されていない。製品化のためには定格電流以上のL負荷アバランシェ破壊電流であることが望まれる。

【0007】このような状況に鑑み本発明の目的は、不純物濃度、幅等について許容される範囲を明らかにすることによって、オン抵抗と耐圧とのトレードオフ関係を大幅に改善しつつ高耐圧を実現し、しかも量産に適した超接合半導体素子を提供することにある。

【0008】

【課題を解決するための手段】上記の課題解決のため本発明は、第一と第二の主面と、主面に設けられた二つの主電極と、その主電極間に、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列pn層とを備える超接合半導体素子において、第一導電型ドリフト領域の不純物量が第二導電型仕切り領域の不純物量の100~150%の範囲内にあるものとする。

【0009】特に、第一導電型ドリフト領域の不純物量が第二導電型仕切り領域の不純物量の110~150%の範囲内にあるのがよい。

【0010】また、第一導電型ドリフト領域と第二導電型仕切り領域とがそれぞれほぼ同じ幅のストライプ状であることが有効である。

【0011】また、これとは別に、第一と第二の主面と、主面に設けられた二つの電極と、その主電極間に、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを

交互に配置した並列pn層とを備える超接合半導体素子において、第一導電型ドリフト領域と第二導電型仕切り領域との内の一方の領域の不純物量が、他方の領域の不純物量の92~108%の範囲内にあるものとする。

【0012】特に、第一導電型ドリフト領域と第二導電型仕切り領域とがそれぞれほぼ同じ幅でありその内の一方の領域の平均不純物濃度が、他方の領域の平均不純物濃度の92~108%の範囲内にあってもよいし、また、第一導電型ドリフト領域と第二導電型仕切り領域との内の一方の領域の不純物濃度が、他方の領域の不純物濃度の92~108%の範囲内にあってもよい。

【0013】また、第一導電型ドリフト領域と第二導電型仕切り領域とがそれぞれほぼ同じ濃度でありその内の一方の領域の幅が、他方の領域の幅の94~106%の範囲内にあるものとする。

【0014】第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列pn層とをオフ状態で空乏化するためには、両領域の不純物量がほぼ等量であることが必要である。仮に一方の不純物濃度が他方の不純物濃度の半分であれば、倍の幅としなければならないことになる。従って、両領域は同じ不純物濃度とすると、同じ幅ですむので、半導体表面の利用効率の点から最も良いことになる。

【0015】その同じ不純物濃度、同じ幅として、上記のようにすれば、双方の領域がほぼ均等に空乏層化するので、空乏化しない部分が残ることによる耐圧低下が、後述するように理想的な場合の10%程度に抑えられる。

【0016】製造方法としては、第一導電型ドリフト領域と第二導電型仕切り領域との内の一方の領域の不純物量の92~108%の範囲内にある不純物量の他方の領域をエピタキシャル成長により形成しても、一方の領域を形成するための不純物量の92~108%の範囲内にある不純物量を導入した後、熱拡散により他方の領域を形成してもよい。

【0017】

【発明の実施の形態】以下に本発明のためにおこなった実験とその結果について説明する。

【0018】【実施例1】先ず、図3は実験に用いた縦型のnチャネル型の超接合MOSFETの基本的な部分の部分断面図である。他に、主に周縁部分に耐圧を保持するための部分が設けられるが、その部分は、例えばガードリング構造のような一般的な方法で形成される。なお以下でnまたはpを冠記した層や領域は、それぞれ電子、正孔を多数キャリアとする層、領域を意味している。また添字の*は比較的高不純物濃度の、一は比較的低不純物濃度の領域をそれぞれ意味している。

【0019】図3において、11は低抵抗のn⁺ドレイン層、12はnドリフト領域12a、p仕切り領域12bとからなる並列pn層のドリフト層である。ドリフト

層12のうちドリフト電流が流れるのは、nドリフト領域12aであるが、ここではp仕切り領域12bを含めた並列pn層をドリフト層12と呼ぶことにする。表面層には、nドリフト領域12aに接続してnチャネル領域12dが、p仕切り領域12bに接続してpウェル領域13aがそれぞれ形成されている。pウェル領域13aの内部にn⁺ソース領域14と高濃度のp⁺コンタクト領域13bとが形成されている。n⁺ソース領域14とnドリフト領域12aとに挟まれたpウェル領域13aの表面上には、ゲート絶縁膜15を介して多結晶シリコンのゲート電極層16が、また、n⁺ソース領域14と高濃度のp⁺コンタクト領域13bの表面に共通に接触するソース電極17が設けられている。n⁺ドレイン層11の裏面にはドレイン電極18が設けられている。19は表面保護および安定化のための絶縁膜であり、例えば、熱酸化膜と燐シリカガラス（PSG）からなる。ソース電極17は、図のように絶縁膜19を介してゲート電極層16の上に延長されることが多い。n型分割領域1とp型分割領域2の交互配置は、ストライプ状でも、一方を格子状とした他の方法でも良い。nドリフト領域12aは、例えばエピタキシャル成長により形成される。p仕切り領域12bは、nドリフト領域12aに設けられた掘り下げ部にエピタキシャル成長により充填して形成する。この製造方法に関しては特願平10-209267号で詳細に説明している。

【0020】例えば、400VクラスのMOSFETとして、各部の基準的な寸法および不純物濃度等は次のような値をとる。n⁺ドレイン層11の比抵抗は0.01Ω・cm、厚さ350μm、ドリフト層12の厚さ32μm、nドリフト領域12aおよびp仕切り領域12bの幅8μm（すなわち、同じ領域の中心間隔16μm）、不純物濃度 $3.0 \times 10^{15} \text{cm}^{-3}$ 、pウェル領域13aの拡散深さ3μm、表面不純物濃度 $2 \times 10^{17} \text{cm}^{-3}$ 、n⁺ソース領域14の拡散深さ0.3μm、表面不純物濃度 $3 \times 10^{20} \text{cm}^{-3}$ である。

【0021】例えば、800VクラスのMOSFETとして、各部の基準的な寸法および不純物濃度等は次のような値をとる。n⁺ドレイン層11の比抵抗は0.01Ω・cm、厚さ350μm、ドリフト層12の厚さ48μm、nドリフト領域12aおよびp仕切り領域12bの幅5μm（すなわち、同じ領域の中心間隔10μm）、不純物濃度 $3.5 \times 10^{15} \text{cm}^{-3}$ 、pウェル領域13aの拡散深さ1μm、表面不純物濃度 $3 \times 10^{18} \text{cm}^{-3}$ 、n⁺ソース領域14の拡散深さ0.3μm、表面不純物濃度 $1 \times 10^{20} \text{cm}^{-3}$ である。

【0022】図3の超接合MOSFETの動作は、次のようにおこなわれる。ゲート電極層16に所定の正の電圧が印加されると、ゲート電極層16直下のpウェル領域13aの表面層に反転層が誘起され、n⁺ソース領域14から反転層を通じてnチャネル領域13dに電子が

注入される。その注入された電子がnドリフト領域12aを通じてn⁺ドレイン層11に達し、ドレイン電極18、ソース電極17間が導通する。

【0023】ゲート電極層16への正の電圧が取り去られると、pウェル領域13aの表面層に誘起された反転層が消滅し、ドレイン電極18、ソース電極17間が遮断される。更に、逆バイアス電圧を大きくすると、各p仕切り領域12bはpウェル領域13aを介してソース電極17で連結されているので、pウェル領域13aとnチャネル領域12dとの間のpn接合J_a、nドリフト領域12aとp仕切り領域12bとの間のpn接合J_bからそれぞれ空乏層がnドリフト領域12a、p仕切り領域12b内に広がってこれらが空乏化される。

【0024】pn接合J_bからの空乏端は、nドリフト領域12aの幅方向に広がり、しかも両側のp仕切り領域12bから空乏層が広がるので空乏化が非常に早まる。従って、nドリフト領域12aの不純物濃度を高めることができる。またp仕切り領域12bも同時に空乏化される。p仕切り領域12bも両側のpn接合から空乏層が広がるので空乏化が非常に早まる。p仕切り領域12bとnドリフト領域12aとを交互に形成することにより、隣接するnドリフト領域12aの双方へ空乏端が進入するようになっているので、空乏層形成のためのp仕切り領域12bの総占有幅を半減でき、その分、nドリフト領域12aの断面積の拡大を図ることができる。

【実施例2】p仕切り領域12bのボロンの不純物量（ドーザ量）を $1 \times 10^{13} \text{cm}^{-2}$ に固定して、これに対するnドリフト領域12aのリンの不純物量（ドーザ量）を80～150%の範囲で変えてnチャネル型MOSFETをシミュレーションし、また実際に試作して確認した。

【0025】図5は、オン抵抗（ $R_{on} \cdot A$ ）と発生耐圧（ V_{DSS} ）の不純物量依存性を示す特性図である。横軸は、発生耐圧（ V_{DSS} ）、縦軸はオン抵抗（ $R_{on} \cdot A$ ）である。p仕切り領域12bの不純物量（ドーザ量）は $1 \times 10^{13} \text{cm}^{-2}$ に固定し、幅はともに8μmとし、ドリフト層12の深さは32μmとした。

【0026】例えば、nドリフト領域12aの不純物量を $1.0 \times 10^{13} \text{cm}^{-2}$ （100%）のとき、発生耐圧は445Vで、オン抵抗は38mΩ・cm²となるが、 $1.3 \times 10^{13} \text{cm}^{-2}$ （130%）とすると発生耐圧は365Vでオン抵抗は24mΩ・cm²に、 $1.5 \times 10^{13} \text{cm}^{-2}$ （150%）とすると発生耐圧は280Vでオン抵抗は20mΩ・cm²に低下する。

【0027】図から、nドリフト領域12aの不純物量がp仕切り領域12bの不純物量に対して100～150%になるに従い、発生耐圧（ V_{DSS} ）は低下するものの、オン抵抗（ $R_{on} \cdot A$ ）が低減されることがわかる。また、この100～150%の範囲での製品毎のオ

ン抵抗 ($R_{on} \cdot A$) のばらつきは小さいので、量産時には発生耐圧のばらつきのみを考慮して製造すればよいので、製造や工程管理が容易となる。また、この実施例は400Vクラスとしたが、どの耐圧クラスでも同じことが言える。

【0028】【実施例3】図6は、L負荷アバランシェ破壊電流(A)の不純物量依存性を示す特性図である。横軸は、nドリフト領域12aのリンの不純物量(ドーズ量)、縦軸はL負荷アバランシェ破壊電流(A)である。p仕切り領域12bのボロンの不純物量(ドーズ量)を $1 \times 10^{13} \text{ cm}^{-2}$ に固定して、これに対するnドリフト領域12aのリンの不純物量(ドーズ量)を80~150%の範囲で変えた。設定条件は実施例1と同じである。

【0029】例えば、nドリフト領域12aの不純物量を $1.0 \times 10^{13} \text{ cm}^{-2}$ (100%) のとき、アバランシェ破壊電流(A)は約7Aとなるが、 $1.3 \times 10^{13} \text{ cm}^{-2}$ (130%) とするとアバランシェ破壊電流(A)は約6.3Aに、 $1.5 \times 10^{13} \text{ cm}^{-2}$ (150%) とするとアバランシェ破壊電流(A)は約7.2Aとなる。

【0030】図から、L負荷アバランシェ破壊電流が定格電流以上、好ましくは2倍以上要求される場合には、nドリフト領域12aの不純物量(ドーズ量)を110%以上にすればよいことがわかる。また、140%以上でのL負荷アバランシェ破壊電流は飽和傾向であるので、図1での発生耐圧の低下を考慮すると150%以下であることが望ましい。また、このL負荷アバランシェ破壊電流に関してもどの耐圧クラスでも同じことが言える。

【0031】以上の実験により並列pn層のnドリフト領域12aおよびp仕切り領域12bの不純物量の許容される範囲が明らかになったので、これを基に超接合半導体素子を実設計すれば、オン抵抗と耐圧とのトレードオフ関係を大幅に改善しつつ、更にL負荷アバランシェ破壊の保証をした、高耐圧の超接合半導体素子の量産化が容易にできる。

【実施例4】p仕切り領域12bの不純物濃度 C_p を変えてnチャネル型MOSFETをシミュレーションし、また実際に試作して確認した。

【0032】図1は、耐圧(V_{DSS})の不純物濃度 C_p 依存性を示す特性図である。横軸は、p仕切り領域12bの不純物濃度 C_p 、縦軸は耐圧(V_{DSS})である。nドリフト領域12aの不純物濃度 C_n は $3.5 \times 10^{15} \text{ cm}^{-3}$ に固定し、幅はともに $5 \mu\text{m}$ とし、ドリフト層12の深さは $48 \mu\text{m}$ とした。

【0033】例えば、 $C_n = C_p = 3.5 \times 10^{15} \text{ cm}^{-3}$ のとき、耐圧は最大値960Vとなるが、 $C_p = 3 \times 10^{15} \text{ cm}^{-3}$ とすると耐圧は約750Vに、 $2 \times 10^{15} \text{ cm}^{-3}$ とすると更に約380Vに低下する。

【0034】これは、nドリフト領域12aに十分空乏

化しきれない部分を生じるためである。逆にp仕切り領域12bの不純物濃度をnドリフト領域12aより高くとしたときは、p仕切り領域12bに十分空乏化しきれない部分を生じて、やはり耐圧が低下する。

【0035】図から、p仕切り領域12bの不純物濃度 C_p が、nドリフト領域12aの不純物濃度 C_n に対して上下8%以内にあるならば、耐圧の低下は10%程度ですむことがわかる。

【0036】この実施例は、p仕切り領域12bの不純物濃度 C_p を変えた場合であるが、同じことは当然nドリフト領域12aの不純物濃度 C_n を変えた場合についても言える。また、設定耐圧に関してもどの耐圧クラスでも同じことが言える。

【実施例5】次に、nドリフト領域12aの幅 L_n を $5 \mu\text{m}$ 一定とし、p仕切り領域12bの幅 L_p を変えてnチャネル型MOSFETをシミュレーションし、また実際に試作して確認した。

【0037】図1は、耐圧(V_{DSS})の寸法依存性を示す特性図である。横軸は、p仕切り領域12bの幅 L_p 、縦軸は耐圧(V_{DSS})である。不純物濃度は $3.5 \times 10^{15} \text{ cm}^{-3}$ に固定し、ドリフト層12の深さは $48 \mu\text{m}$ とした。

【0038】例えば、 $L_n = L_p = 5 \mu\text{m}$ のとき、耐圧は最大値960Vとなるが、 $L_p = 4 \mu\text{m}$ とすると耐圧は約550Vに低下する。

【0039】これは、nドリフト領域12aに十分空乏化しきれない部分を生じるためである。逆にp仕切り領域12bをnドリフト領域12aより厚くしたときは、p仕切り領域12bに十分空乏化しきれない部分を生じて、やはり耐圧が低下する。

【0040】図から、p仕切り領域12bの幅 L_p が、nドリフト領域12aの幅 L_n に対して上下6%以内にあるならば、耐圧の低下は10%程度ですむことがわかる。

【0041】この実施例は、p仕切り領域12bの幅 L_p を変えた場合であるが、同じことは当然nドリフト領域12aの幅 L_n を変えた場合についても言える。また、設定耐圧に関してもどの耐圧クラスでも同じことが言える。

【0042】以上の実験により並列pn層のnドリフト領域12aおよびp仕切り領域12bの不純物濃度や寸法等の許容される範囲が明らかになったので、これを基に超接合半導体素子を実設計すれば、オン抵抗と耐圧とのトレードオフ関係を大幅に改善しつつ、高耐圧の超接合半導体素子の量産化が容易にできる。

【実施例6】他の製造方法として、エピタキシャル成長の前に部分的に不純物の埋め込み領域を形成しておいてから、高抵抗層をエピタキシャル成長する工程を数回繰り返した後、熱処理により拡散させて並列pn層を形成することもできる。

【0043】図4はそのような方法で製造した縦型のnチャネル型超接合MOSFETの基本的な部分の部分断面図である。

【0044】図3の超接合MOSFETの断面図と殆ど変わらないが、nドリフト領域22a、p仕切り領域22bが均一な不純物濃度でなく、内部に不純物濃度分布があることが違っている。分かり易くするため、点線で等しい不純物濃度の線を示した。等しい不純物濃度の線は、曲線（三次元的には曲面）となっている。これは不純物の埋め込み領域を形成しておいてから、高抵抗層をエピタキシャル成長する工程を数回繰り返した後、熱処理により埋め込まれ不純物源から拡散したためである。十分な拡散時間を経れば、nドリフト領域22aとp仕切り領域22bとの境界は図のような直線（三次元的には平面）となる。

【0045】このような場合に、nドリフト領域22a、p仕切り領域22bが十分空乏化しきれない部分を生じることが無いようにするには、両領域に埋め込まれた不純物量がほぼ等しいことが重要である。

【0046】特に、先に述べたように、nドリフト領域22a、p仕切り領域22bの幅が等しい時に、半導体結晶面の利用率が大きくなることから、nドリフト領域22a、p仕切り領域22bの平均不純物濃度がほぼ等しいことが重要である。

【0047】そして、この例の場合も、実施例3と全く同じく、第一導電型ドリフト領域と第二導電型仕切り領域との内の一方の領域の不純物量が、他方の領域の不純物量の92～108%の範囲内にあれば、耐圧の低下は10%程度に抑えられる。

【0048】幅が等しいとすれば、第一導電型ドリフト領域と第二導電型仕切り領域との内の一方の領域の平均不純物濃度が、他方の領域の平均不純物濃度の92～108%の範囲内にあればよいことになる。

【0049】また、nドリフト領域22a、p仕切り領域22bの幅の許容範囲としても、94～106%の範囲内にあればよいことになる。

【0050】なお、nドリフト領域12aおよびp仕切り領域12bの幅を狭くし、不純物濃度を高くすれば、より一層のオン抵抗の低減、オン抵抗と耐圧とのトレードオフ関係の改善が可能である。

【0051】なお、実施例は縦型のMOSFETの例を掲げたが、この問題は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアスによる空乏層の延びる方向

とが異なる横型半導体素子についても共通である。更に、IGBTやpnダイオード、ショットキーバリアダイオード、バイポーラトランジスタでも同様の効果が得られる。

【0052】

【発明の効果】以上説明したように本発明は、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列pn層とを備える超接合半導体素子において、並列pn層の第一導電型ドリフト領域と第二導電型仕切り領域との不純物濃度や寸法等の許容される範囲を明らかにすることによって、オン抵抗と耐圧とのトレードオフ関係を大幅に改善しつつ、更にL負荷アバランシェ破壊の保証をして、高耐圧の超接合半導体素子の量産化を容易にした。

【図面の簡単な説明】

【図1】本発明の超接合MOSFETにおける耐圧(V_{DSS})の L_p 幅依存性を示す特性図

【図2】耐圧(V_{DSS})の不純物濃度 C_p 依存性を示す特性図

【図3】実施例1の超接合MOSFETの基本的な構造部分の部分断面図

【図4】実施例2の超接合MOSFETの基本的な構造部分の部分断面図

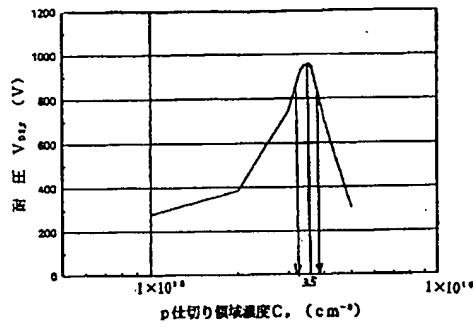
【図5】本発明の超接合MOSFETにおけるオン抵抗($R_{on} \cdot A$)と発生耐圧(V_{DSS})の不純物量依存性を示す特性図

【図6】L負荷アバランシェ破壊電流(A)の不純物量依存性を示す特性図

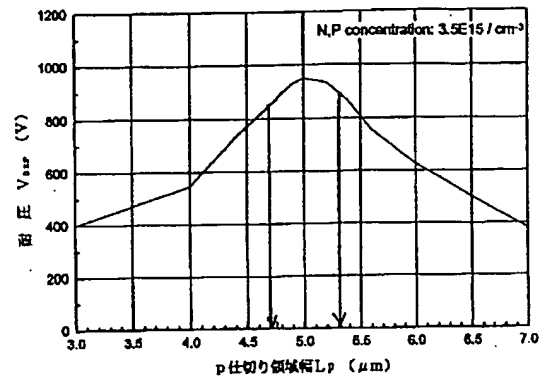
【符号の説明】

11、21	n ⁺ ドレイン層
12、22	ドリフト層
12a、22a	nドリフト領域
12b、22b	p仕切り領域
13a、23a	pウェル領域
13b、23b	p ⁺ コンタクト領域
14、24	n ⁺ ソース領域
15	ゲート絶縁膜
16	ゲート電極層
17	ソース電極
18	ドレイン電極
19	絶縁膜

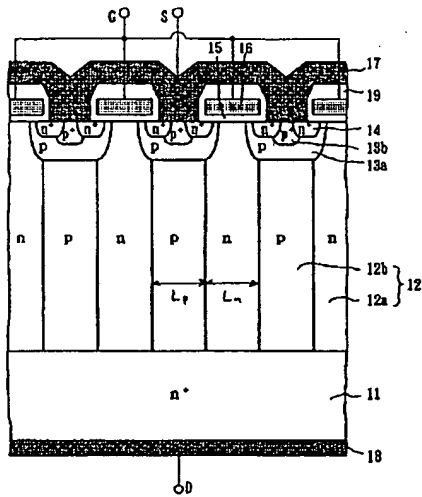
【図 1】



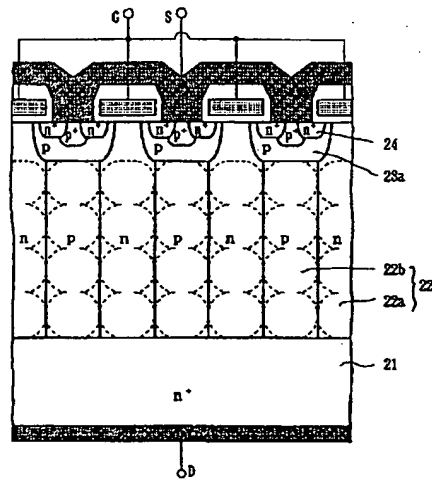
【図 2】



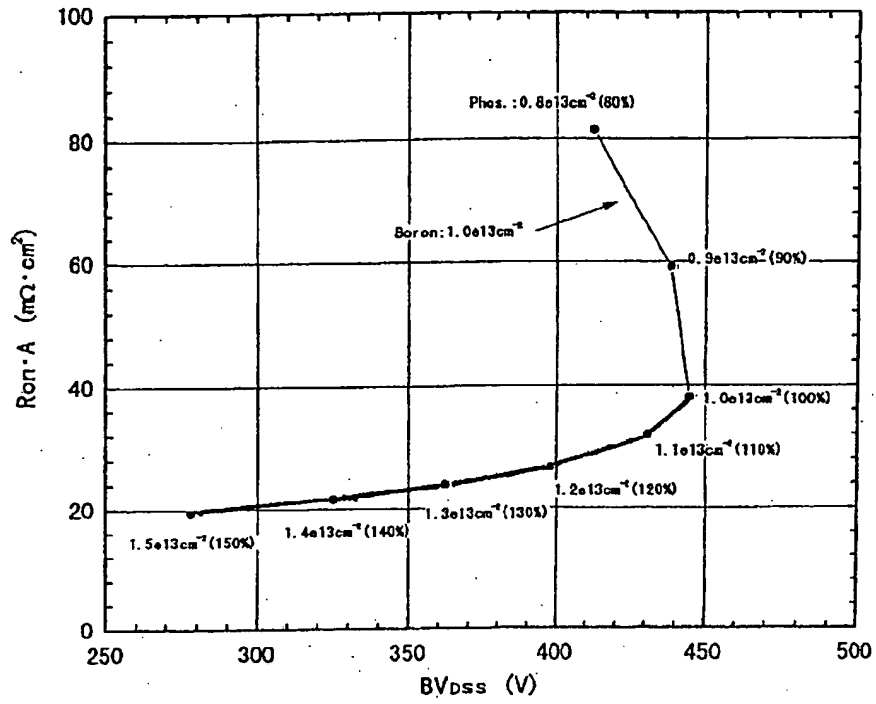
【図 3】



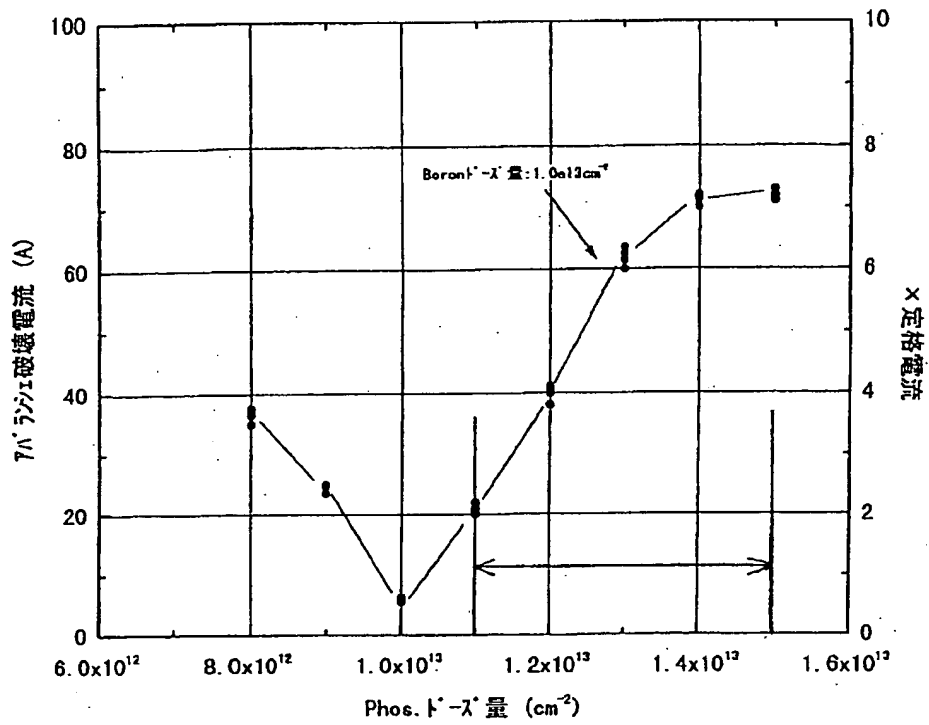
【図 4】



【図5】



【図6】



フロントページの続き

(72)発明者 大西 泰彦
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式 会社内

(72)発明者 上野 勝典
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式 会社内
(72)発明者 岩本 進
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式 会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.